

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月22日

出 願 番 号

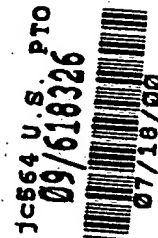
Application Number:

平成11年特許願第208267号

出 願 人

Applicant(s):

ミノルタ株式会社

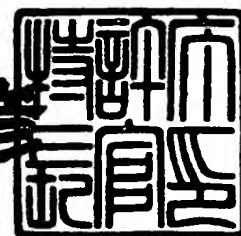


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 5月19日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3036600

【書類名】 特許願

【整理番号】 P990722147

【提出日】 平成11年 7月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 19

【発明者】

 【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
ミノルタ株式会社内

 【氏名】 高田 謙二

【特許出願人】

 【識別番号】 000006079

 【氏名又は名称】 ミノルタ株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9716119

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が接続された第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュホールド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、

前記第 1 のトランジスタの第 2 電極に第 1 電圧を与えて、前記第 1 のトランジスタをサブスレッシュホールド領域で動作させて撮像を行い、

前記第 1 のトランジスタの第 2 電極に第 2 電圧を与えて、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 2】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が光電変換素子の第 2 電極に接続されるとともに、光電変換素子からの出力電流が流れ込む第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとから構成され、

前記第 1 のトランジスタの第 2 電極に第 1 電圧を与えて、前記第 1 のトランジスタを閾値以下のサブスレッシュホールド領域で動作させて撮像を行い、

前記第 1 のトランジスタの第 2 電極に第 2 電圧を与えて、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項 3】 前記画素が、マトリクス状に配設されることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】 前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする請求項 1 ～請求項 3 のいずれかに記載の固体撮像装置。

【請求項 5】 前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を有することを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記リセット手段が、第 1 電極と第 2 電極と制御電極とを備え、前記積分回路に第 1 電極が接続されたトランジスタで構成され、

該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させたとき、前記積分回路に蓄積された電荷が放出されることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】 前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする請求項 2 又は請求項 3 に記載の固体撮像装置。

【請求項 8】 前記出力信号線に接続された負荷抵抗又は定電流源を有し、前記負荷抵抗又は定電流源の総数が全画素数より少ないことを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 9】 前記負荷抵抗又は定電流源は、前記出力信号線に接続された第 1 電極と、直流電圧に接続された第 2 電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタであることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】 前記増幅用トランジスタが N チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも高電位であることを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 11】 前記増幅用トランジスタが P チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも低電位であることを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 12】 前記導出路は、全画素の中から所定のものを順次選択し、選択された画素の出力信号を出力信号線に導出するスイッチを含むことを特徴とする請求項 2、請求項 3、請求項 7～請求項 11 のいずれかに記載の固体撮像装置。

【請求項 13】 複数の画素を有する固体撮像装置において、
各画素が、
フォトダイオードと、
該フォトダイオードの一方の電極に第 1 電極とゲート電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 2 MOS トランジスタとを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 1 MOS トランジスタの第 2 電極に第 1 電圧を与えて、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときは、前記第 1 MOS トランジスタの第 2 電極に第 2 電圧を与えて、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 14】 前記画素が、第 1 電極が前記第 2 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 4 MOS トランジスタを有することを特徴とする請求項 13 に記載の固体撮像装置。

【請求項 15】 前記画素が、第 1 電極に直流電圧が印加され、ゲート電極が前記第 2 MOS トランジスタの第 2 電極に接続されるとともに、前記第 2 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 3 MOS トランジ

スタを有することを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 6】 前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 4 MOS トランジスタを有することを特徴とする請求項 1 5 に記載の固体撮像装置。

【請求項 1 7】 前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 1 5 又は請求項 1 6 に記載の固体撮像装置。

【請求項 1 8】 前記第 2 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、

前記画素が、

前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が印加された第 5 MOS トランジスタと、

前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 5 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 5 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 1 5 又は請求項 1 6 に記載の固体撮像装置。

【請求項 1 9】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする請求項 1 3 ～請求項 1 8 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図18に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線V_{out}へ接続されている。またMOSトランジスタT1のドレインには直流電圧V_{PD}が印加され、MOSトランジスタT2のソースとフォトダイオードのアノードには直流電圧V_{PS}が印加されている。

【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス ϕ_V を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を流れて出力信号線V_{out}へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFF

にするとともに、MOSトランジスタT2のゲートに信号 ϕ_{RS} を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平3-192764号公報参照）。

【0006】

この固体撮像装置が撮像動作を行った後、基の状態にリセットする際、各画素は、低輝度域の状態までは光電流の逆極性となる電流（「リセット電流」と呼ぶ。）がMOSトランジスタに流入しやすいため、MOSトランジスタに充電された光電荷が再結合されて高速でリセットされる。しかしながら、各画素が低輝度域の状態になると、MOSトランジスタの閾値電圧の影響を受けて、リセット電流が流入しにくくなる。よって、MOSトランジスタに充電された光電荷が再結合されにくくなるため、リセットに時間がかかる。このように低輝度域では各画素の応答性が悪くなるため、再び撮像動作を行ったとき、残像が発生しやすくなるという問題がある。

【0007】

本発明はこのような点に鑑みなされたものであって、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像できるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記の目的を達成するため請求項 1 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が接続された第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、前記第 1 のトランジスタの第 2 電極に第 1 電圧を与えて、前記第 1 のトランジスタをサブスレッショルド領域で動作させて撮像を行い、前記第 1 のトランジスタの第 2 電極に第 2 電圧を与えて、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

【 0 0 0 9 】

又、請求項 2 に記載の固体撮像装置は、入射した光量に対して自然体数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が光電変換素子の第 2 電極に接続されるとともに、光電変換素子からの出力電流が流れ込む第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとから構成され、前記第 1 のトランジスタの第 2 電極に第 1 電圧を与えて、前記第 1 のトランジスタを閾値以下のサブスレッショルド領域で動作させて撮像を行い、前記第 1 のトランジスタの第 2 電極に第 2 電圧を与えて、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【 0 0 1 0 】

請求項 3 に記載の固体撮像装置は、請求項 2 に記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0011】

請求項4に記載の固体撮像装置は、請求項1～請求項3のいずれかに記載の固体撮像装置において、前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする。

【0012】

このような構成によると、各画素からの出力信号は積分回路で積分されるので、この出力信号に含まれる光源の変動成分や高周波のノイズは、積分回路で吸収され除去される。又、請求項5に記載するように、前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を設けることによって、各画素が出力を行った後に、初期化することができる。このリセット手段は、請求項6に記載するように、第1電極と第2電極と制御電極とを備え、前記積分回路に第1電極が接続されたトランジスタとすることによって、該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させて、前記積分回路に蓄積された電荷を放出することができる。

【0013】

請求項7に記載の固体撮像装置は、請求項2又は請求項3に記載の固体撮像装置において、前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする。

【0014】

このような固体撮像装置によると、増幅用トランジスタによって、出力信号が増幅されて十分な大きさとなって出力されるので、感度の良い撮像信号となる。このような固体撮像装置において、請求項8に記載するように、前記出力信号線に接続されたその総数が全画素数より少ない負荷抵抗又は定電流源を設けても良い。

【0015】

負荷抵抗又は定電流源として請求項9に記載するように、前記出力信号線に接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続された

制御電極とを有する抵抗用トランジスタとしても良い。又、増幅用トランジスタをNチャネルのMOSトランジスタとする場合、請求項10に記載するように、前記増幅用トランジスタの第1電極に印加される直流電圧を、前記抵抗用トランジスタの第2電極に接続される直流電圧よりも高電位とすればよい。又、増幅用トランジスタをPチャネルのMOSトランジスタとする場合、請求項11に記載するように、前記増幅用トランジスタの第1電極に印加される直流電圧を、前記抵抗用トランジスタの第2電極に接続される直流電圧よりも低電位とすればよい。更に、導出路としては、請求項12に記載するように、全画素の中から所定のものを順次選択し、選択された画素から増幅された信号を出力信号線に導出するスイッチを含むものを用いても良い。

【0016】

請求項13に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極とゲート電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第2MOSトランジスタとを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第1MOSトランジスタの第2電極に第1電圧を与えて、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1MOSトランジスタの第2電極に第2電圧を与えて、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

【0017】

又、請求項14に記載するように、前記画素に、第1電極が前記第2MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第4MOSトランジスタを設けても良い。又、請求項15に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加され、ゲート電極が前記第2MOSトランジスタの第2電極に接続されるとともに、前記第2MOSトランジスタの第2電極から出力される出力信号を増幅する第

3 MOS トランジスタを設けても良い。

【0018】

請求項 16 に記載の固体撮像装置は、請求 15 に記載の固体撮像装置において、前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 4 MOS トランジスタを有することを特徴とする。

【0019】

請求項 17 に記載の固体撮像装置は、請求項 15 又は請求項 16 に記載の固体撮像装置において、前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0020】

請求項 18 に記載の固体撮像装置は、請求項 15 又は請求項 16 に記載の固体撮像装置において、前記第 3 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、前記画素が、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が印加された第 5 MOS トランジスタと、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 5 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 5 MOS トランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0021】

請求項 19 に記載の固体撮像装置は、請求項 13 ～請求項 18 のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする。

【0022】

【発明の実施の形態】

<画素構成の第 1 例>

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図 1 は

本発明の一実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、 \dots 、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2 \dots 、4-nや出力信号線6-1、6-2 \dots 、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図2に示す第1の実施形態において示している。

【0023】

出力信号線6-1、6-2、 \dots 、6-mごとにNチャネルのMOSトランジスタQ2が図示の如く1つずつ設けられている。MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはスイッチ用のNチャネルの第3MOSトランジスタT3も設けられている。ここで、MOSトランジスタT3は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0024】

<第1の実施形態>

図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0025】

図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1MOSトランジスタT1のゲート及びドレイン、第2MOSトランジスタT2のゲートに接続されている。MOSトランジスタT2のソースは行選択用の第3MOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、 \dots 、6-mに対応する）へ接続され

ている。尚、MOSトランジスタT1～T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0026】

又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースには信号 ϕ VPSが入力され、MOSトランジスタT2のソースには他端に直流電圧VPSが印加されるキャパシタCの一端が接続される。MOSトランジスタT2のドレインには信号 ϕ Dが入力され、又、MOSトランジスタT3のゲートには信号 ϕ Vが入力される。尚、信号 ϕ VPSは2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をローレベルとする。

【0027】

(1) 各画素への入射光を電気信号に変換する動作について

図2のような回路構成の画素において、MOSトランジスタT1がサブスレッショルド領域で動作するように、MOSトランジスタT1のソースに与える信号 ϕ VPSをハイレベルとする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT3はOFFの状態である。

【0028】

次に、MOSトランジスタT3のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT3をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値

に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT3をOFFする。

【0029】

（2）各画素のリセット動作について

以下に、図面を参照して、図2のような回路構成の画素のリセット動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各画素のリセットを行う際のフォトダイオードPD及びMOSトランジスタT1のポテンシャルの状態を示す図である。尚、図4（a）がフォトダイオードPDとMOSトランジスタT1の構造を表した断面図であるとともに、図4（b）～（e）が、この図4（a）の断面図に応じた各部のポテンシャルを示す図である。尚、図4（b）～（e）において、矢印の方向がポテンシャルが高いことを表す。

【0030】

ところで、フォトダイオードPDは、例えば、図4（a）のように、P型の半導体基板（以下、「P型基板」という。）10に、N型ウェル層11を形成するとともに、そのN型ウェル層11にP型拡散層12を設けることによって形成される。又、MOSトランジスタT1は、P型基板10にN型拡散層13、14を形成し、且つ、そのN型拡散層13、14間のチャンネル上に順次、酸化膜15とポリシリコン層16を形成することによって構成される。ここで、N型ウェル層11がフォトダイオードPDのカソード側を形成するとともに、P型拡散層12がアノード側を形成する。又、N型拡散層13、14が、それぞれMOSトランジスタT1のドレイン、ソースを形成するとともに、酸化膜15及びポリシリコン層16がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層13、14の間の領域をゲート下領域ということにする。

【0031】

（1）で説明したように、MOSトランジスタT3のゲートにパルス ϕV を与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号

が出力されてパルス ϕV がローレベルになると、リセット動作が始まる。このリセット動作について、図 3 及び図 4 を参照して説明する。

【0032】

まず、パルス信号 ϕV がトランジスタ T3 のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。つまり、MOS トランジスタ T1 のソース側より負の電荷が流れ込み、MOS トランジスタ T1 のゲート及びドレイン、MOS トランジスタ T2 のゲート、そしてフォトダイオード PD のアノードに蓄積された正の電荷が再結合される。よって、図 4 (b) のように、ある程度までリセットされて、MOS トランジスタ T1 のドレイン及びゲート下領域のポテンシャルが下がる。

【0033】

このように、MOS トランジスタ T1 のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOS トランジスタ T1 のソースに与える信号 ϕVPS をローレベルにする。このように、MOS トランジスタ T1 のソース電圧を低くすることによって、MOS トランジスタ T1 のポテンシャルが図 4 (c) のように変化する。よって、MOS トランジスタ T1 のソースから流入する負の電荷の量が増加し、MOS トランジスタ T1 のゲート及びドレイン、MOS トランジスタ T2 のゲート、そしてフォトダイオード PD のアノードに蓄積された正の電荷が速やかに再結合される。

【0034】

よって、図 4 (d) のように、MOS トランジスタ T1 のドレイン及びゲート下領域のポテンシャルが図 4 (c) の状態と比べて低くなる。図 4 (d) のように MOS トランジスタ T1 のポテンシャルが変化すると、MOS トランジスタ T1 のソースに与える信号 ϕVPS をハイレベルにする。よって、MOS トランジスタ T1 のポテンシャル状態が、図 4 (e) のようになって、基の状態にリセットされる。このように、MOS トランジスタ T1 のポテンシャルの状態を基の状態にリセットした後、信号 ϕD の電圧をローレベルにして、キャパシタ C を放電し

て、接続ノードaの電位を基の状態にリセットする。その後、信号 ϕD の電圧をハイレベルに戻して撮像動作が行える状態にする。

【0035】

このように、感光素子であるフォトダイオードPDにドレインが電氣的に接続されたMOSトランジスタT1のソースに与える電位を操作してリセットを行うことにより、固体撮像装置の各画素の応答性が改善される。従って、暗い被写体を撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。

【0036】

尚、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、図2のMOSトランジスタT3に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0037】

＜画素構成の第2例＞

図5は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11~Gmnは行列配置(マトリクス配置)された画素を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、...、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、...、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2...、4-nや出力信号線6-1、6-2...、6-m、電源ライン5だけでなく、他のライン(例えば、クロックラインやバイアス供給ライン等)も接続されるが、図5ではこれらについて省略し、図7以降の各実施形態において示している。

【0038】

出力信号線6-1、6-2、...、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され

、ソースは直流電圧 V_{PS}' のライン 8 に接続されている。一方、MOS トランジスタ Q_2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。

【0039】

画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力する N チャネルの MOS トランジスタ T_a が設けられている。MOS トランジスタ T_a と上記 MOS トランジスタ Q_1 との接続関係は図 6 (a) のようになる。この MOS トランジスタ T_a は、第 2、第 3 の実施形態では、第 4 MOS トランジスタ T_4 に、第 4 の実施形態では、第 2 MOS トランジスタ T_2 に相当する。ここで、MOS トランジスタ Q_1 のソースに接続される直流電圧 V_{PS}' と、MOS トランジスタ T_a のドレインに接続される直流電圧 V_{PD}' との関係は $V_{PD}' > V_{PS}'$ であり、直流電圧 V_{PS}' は例えばグランド電圧（接地）である。この回路構成は上段の MOS トランジスタ T_a のゲートに信号が入力され、下段の MOS トランジスタ Q_1 のゲートには直流電圧 DC が常時印加される。このため下段の MOS トランジスタ Q_1 は抵抗又は定電流源と等価であり、図 6 (a) の回路はソースフォロワ型の増幅回路となっている。この場合、MOS トランジスタ T_a から増幅出力されるのは電流であると考えてよい。

【0040】

MOS トランジスタ Q_2 は水平走査回路 3 によって制御され、スイッチ素子として動作する。尚、後述するように図 7 以降の各実施形態の画素内にはスイッチ用の N チャネルの第 3 MOS トランジスタ T_3 も設けられている。この MOS トランジスタ T_3 も含めて表わすと、図 6 (a) の回路は正確には図 6 (b) のようになる。即ち、MOS トランジスタ T_3 が MOS トランジスタ Q_1 と MOS トランジスタ T_a との間に挿入されている。ここで、MOS トランジスタ T_3 は行の選択を行うものであり、MOS トランジスタ Q_2 は列の選択を行うものである。尚、図 5 および図 6 に示す構成は以下に説明する第 2 の実施形態～第 4 の実施形態に共通の構成である。

【0041】

図 6 のように構成することにより信号を大きく出力することができる。従って

、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0042】

<第2の実施形態>

図5に示した画素構成の第2例の各画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0043】

図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第4MOSトランジスタT4と、接続ノードaの電位の初期化を行う第5MOSトランジスタT5とが付加された構成となる。MOSトランジスタT4のソースがMOSトランジスタT3のドレインに接続され、又、MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT4、T5も、MOSトランジスタT1～T3と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0044】

又、MOSトランジスタT4のドレインには直流電圧VPDが印加され、MOSトランジスタT3のゲートには信号φVが入力される。又、MOSトランジスタT5のソースには直流電圧VRBが印加されるとともに、そのゲートには信号φV

RSが入力される。更に、MOSトランジスタT2のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T3及びキャパシタCは、第1の実施形態（図2）と同様の動作を行い、入射光に対して対数変換した電気信号（出力信号）を出力することができる。

【0045】

（1）各画素への入射光を電気信号に変換する動作について

この実施形態において、信号 ϕ VPSの電圧値をハイレベルにして、MOSトランジスタT1をサブスレッショルド領域で動作させることにより、第1の実施形態と同様に、フォトダイオードPDが入射光に応じて出力する光電流に対して自然対数的に変換させた出力信号を出力信号線6に出力することができる。以下、このように光電流を自然対数的に変換した出力信号を出力するときの図7に示す画素内の各素子の動作について説明する。

【0046】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT3、T5はOFF状態である。

【0047】

次に、MOSトランジスタT3のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT3をONにすると、MOSトランジスタT4のゲートにかかる電圧に比例した電流がMOSトランジスタT3、T4を通過して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出した後、MOSトランジスタT3をOFFにする。

【 0 0 4 8 】

(2) 各画素のリセット動作について

以下に、図面を参照して、図 7 のような回路構成の画素のリセット動作について説明する。図 8 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。(1) で説明したように、MOS トランジスタ T 3 のゲートにパルス ϕV を与えることによって、図 7 のような回路構成の各画素が入射光に対して対数変換した電気信号 (出力信号) が出力信号線 6 に出力される。このように出力信号が出力されてパルス ϕV がローレベルになると、リセット動作が始まる。又、本実施形態の画素をリセットするときの MOS トランジスタ T 1 のポテンシャルの状態は、第 1 の実施形態と同様、図 4 (b) ~ (e) のようになる。よって、図 4 及び図 8 を参照して、そのリセット動作について説明する。

【 0 0 4 9 】

まず、パルス信号 ϕV が MOS トランジスタ T 3 のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。そして、第 1 の実施形態と同様に、MOS トランジスタ T 1 のソース側より負の電荷が流れ込み、MOS トランジスタ T 1 のポテンシャルが図 4 (b) のような状態になる。

【 0 0 5 0 】

次に、MOS トランジスタ T 1 のソースに与える信号 ϕVPS をローレベルにして、図 4 (c) のように、MOS トランジスタ T 1 を導通状態にする。よって、MOS トランジスタ T 1 のソースから流入する負の電荷の量が増加し、MOS トランジスタ T 1 のゲート及びドレイン、MOS トランジスタ T 2 のゲート、そしてフォトダイオード PD のアノードに蓄積された正の電荷が速やかに再結合される。

【 0 0 5 1 】

よって、図 4 (d) のように、MOS トランジスタ T 1 のドレイン及びゲート下領域のポテンシャルが低くなる。このように MOS トランジスタ T 1 のポテンシャルが変化すると、MOS トランジスタ T 1 のソースに与える信号 ϕVPS をハイレベルにする。よって、MOS トランジスタ T 1 のポテンシャル状態が、図 4

(e) のようになって、基の状態にリセットされる。こうしてMOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、MOSトランジスタT5のゲートにパルス信号 ϕ VRSを与え、MOSトランジスタT5を介してキャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。

【0052】

<第3の実施形態>

第3の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0053】

図9に示すように、本実施形態では、MOSトランジスタT2のドレインに信号 ϕ Dを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT5を削除した構成となっている。その他の構成は第2の実施形態（図7）と同一である。尚、信号 ϕ Dのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行なわれ、ローレベル期間では、キャパシタCの電荷がMOSトランジスタT2を通して放電され、キャパシタCの電圧及びMOSトランジスタT4のゲートは略信号 ϕ Dのローレベル電圧になる（リセット）。本実施形態では、MOSトランジスタT5を省略できる分、構成がシンプルになる。

【0054】

この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、MOSトランジスタT1のソースに与える信号 ϕ VPSをハイレベルにして、MOSトランジスタT1がサブスレッショルド状態で動作するようにする。又、信号 ϕ Dをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT4のゲートにかかる電圧に比例した電流をMOSトランジスタT3、T4を通して出力信号線6に導出する。

【0055】

又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号 ϕV が与えられた後、リセット動作が始まる。次に、MOSトランジスタT1のソースに与える信号 ϕVPS をローレベルにして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。よって、第1の実施形態と同様に、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0056】

そして、MOSトランジスタT1のソースに与える信号 ϕVPS をハイレベルにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、信号 ϕD の電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。その後、信号 ϕD の電圧をハイレベルに戻して撮像動作が行える状態にする。

【0057】

<第4の実施形態>

第4の実施形態について、図面を参照して説明する。図10は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0058】

図10に示すように、本実施形態では、MOSトランジスタT2のドレインに直流電圧VPDが印加されるとともに、キャパシタC及びMOSトランジスタT4を削除した構成となっている。即ち、MOSトランジスタT2のソースにMOSトランジスタT3のドレインが接続される。その他の構成は第3の実施形態（図9）と同一である。

【0059】

このような構成の回路において、撮像動作をさせるときは、第3の実施形態と同様に、MOSトランジスタT1のソースに与える信号 ϕ VPSをハイレベルにして、MOSトランジスタT1がサブスレッシュホールド状態で動作するようにする。このようにMOSトランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【0060】

そして、MOSトランジスタT3のゲートにパルス信号 ϕ Vを与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT3を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図5）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT3をOFFにする。

【0061】

又、各画素をリセットする際には、第3の実施形態と同様に、まず、パルス信号 ϕ Vが与えられた後、リセット動作が始まる。次に、MOSトランジスタT1のソースに与える信号 ϕ VPSをローレベルにして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。

【0062】

よって、第1の実施形態と同様に、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。そして、MOSトランジスタT1のソースに与える信号 ϕ VPSをハイレベルにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットして、再び撮像動作が行える状態にする。

【0063】

尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一旦積分するということを行わないので、積分時間が不要となり、又、キャパシタCのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC及びMOSトランジスタT4を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0064】

以上説明した第1～第4の実施形態は、画素内の能動素子であるMOSトランジスタT1～T5を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T5を全てPチャネルのMOSトランジスタで構成してもよい。図12及び図15～図17には、上記第1～第4の実施形態をPチャネルのMOSトランジスタで構成した例である第5～第8の実施形態を示している。そのため図11～図17では接続の極性や印加電圧の極性が逆になっている。例えば、図12（第5の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインに接続され、また第2MOSトランジスタT2のゲートに接続されている。MOSトランジスタT1のソースには信号φVPSが入力される。

【0065】

ところで、図12のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$ となっており、図2（第1の実施形態）と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、積分によって降下する。また、第3MOSトランジスタT3をONさせるときには、低い電圧をゲートに印加する。更に、図15の実施形態（第6の実施形態）において、第5MOSトランジスタT5をONさせるときには、低い電圧をゲートに印加する。以上の通り、NチャネルのMOSトランジスタを使った場合に比し、PチャネルのMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図12及び図15～図17については図面以示すのみで、その構成や動作についての説明は省略する。

【0066】

第5の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図11に示し、第6～第8の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図13に示している。図11及び図13については、図1及び図5と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図13の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

【0067】

一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図14(a)に示すような増幅回路を構成している。尚、MOSトランジスタTaは、第6、第7の実施形態では第4MOSトランジスタT4に相当し、又、第8の実施形態では第2MOSトランジスタT2に相当する。

【0068】

この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、 $VPD' < VPS'$ であり、直流電圧VPD'は例えばグランド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第6～第8の実施形態のように、画素内に設けられた第3MOSトランジスタT3を考慮すると、図14(a)の回路は図14(b)のようにならわされる。

【 0 0 6 9 】

【発明の効果】

以上説明したように、本発明の固体撮像装置によれば、各画素のリセットを速やかに行うことができるので、撮像時の応答性を良くすることができ、低輝度の被写体を撮像したときに発生する残像をなくすることができる。又、能動素子をMOSトランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/Dコンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】 第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】 本発明で使用する画素の構成及びポテンシャルの関係を表した図。

【図 5】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 6】 図 5 の一部の回路図。

【図 7】 本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 8】 第 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 9】 本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】 本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 1】 画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 2】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 3】 画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのプロ

ック回路図。

【図 1 4】 図 1 3 の一部の回路図。

【図 1 5】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 6】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 7】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

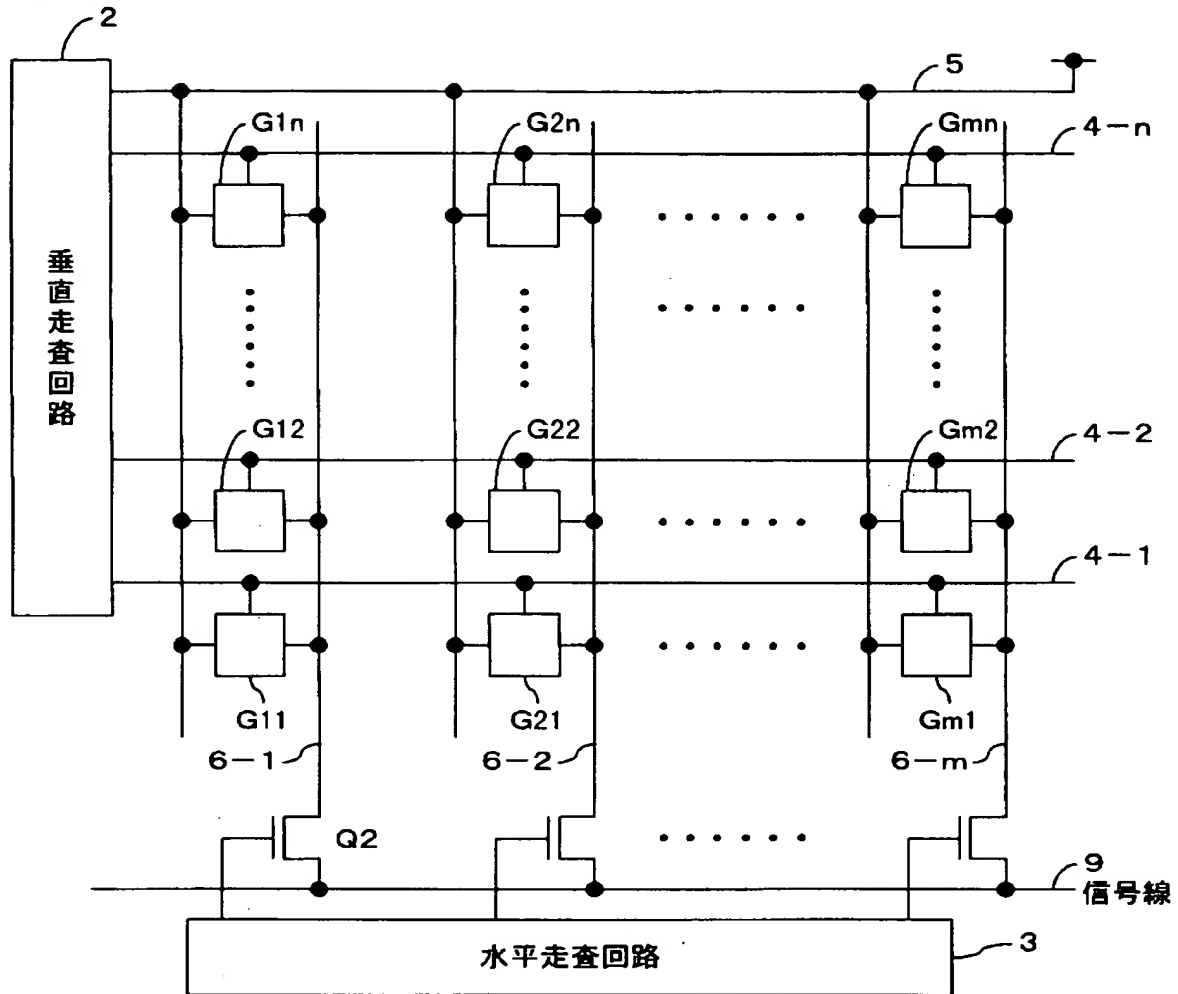
【図 1 8】 従来例の 1 画素の構成を示す回路図。

【符号の説明】

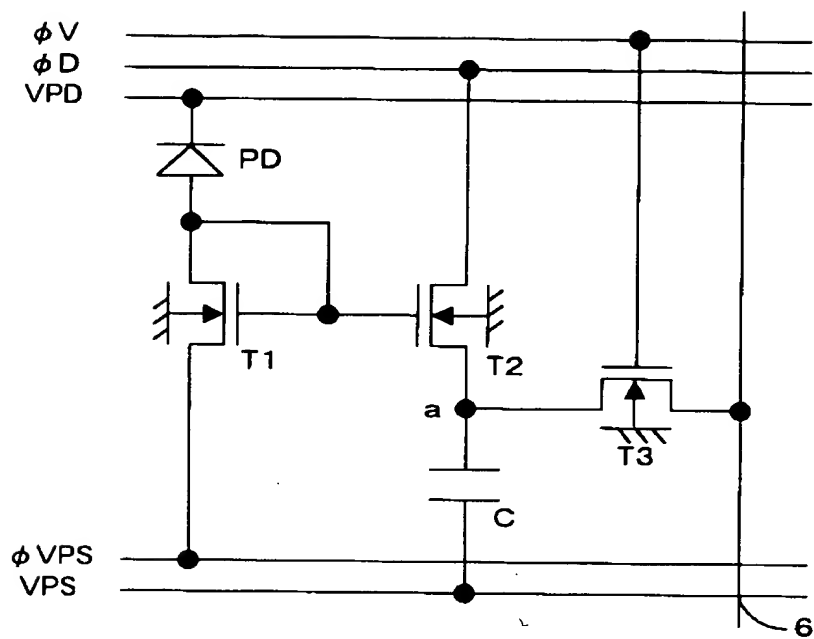
| | |
|---------|----------------|
| G11～Gmn | 画素 |
| 2 | 垂直走査回路 |
| 3 | 水平走査回路 |
| 4-1～4-n | 行選択線 |
| 6-1～6-m | 出力信号線 |
| 7 | 直流電圧線 |
| 8 | ライン |
| 9 | 信号線 |
| 10 | P型半導体基板 |
| 11 | N型ウェル層 |
| 12 | P型拡散層 |
| 13, 14 | N型拡散層 |
| 15 | 酸化膜 |
| 16 | ポリシリコン |
| PD | フォトダイオード |
| T1～T5 | 第1～第5MOSトランジスタ |
| C | キャパシタ |

【書類名】 図面

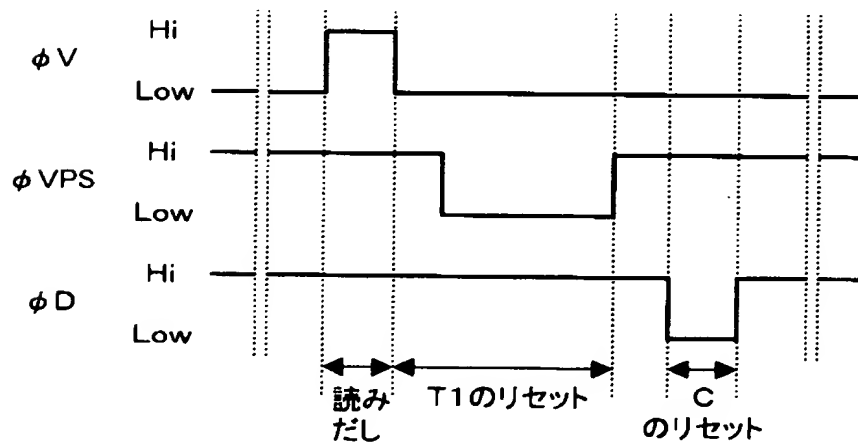
【図 1】



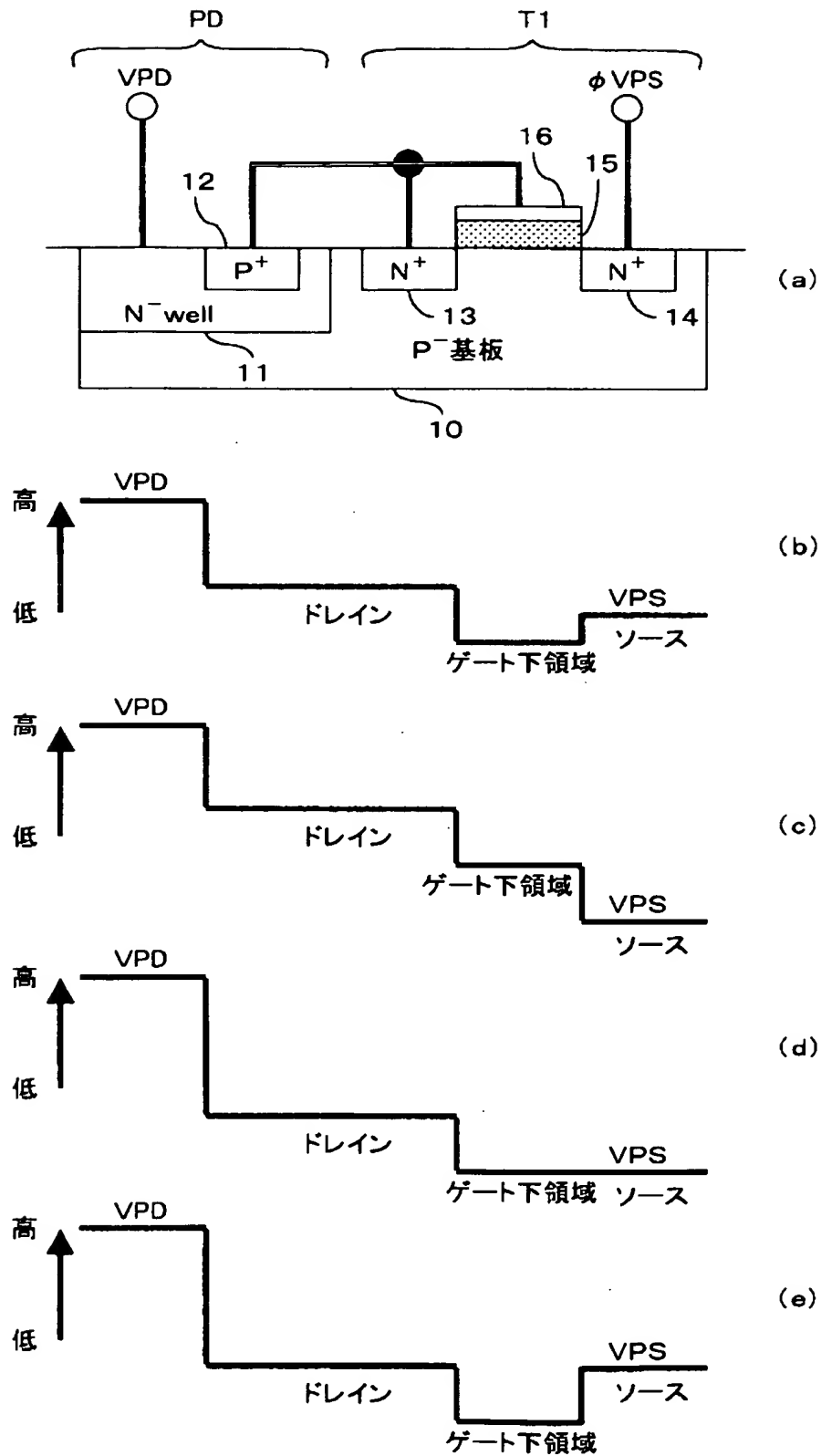
【図 2】



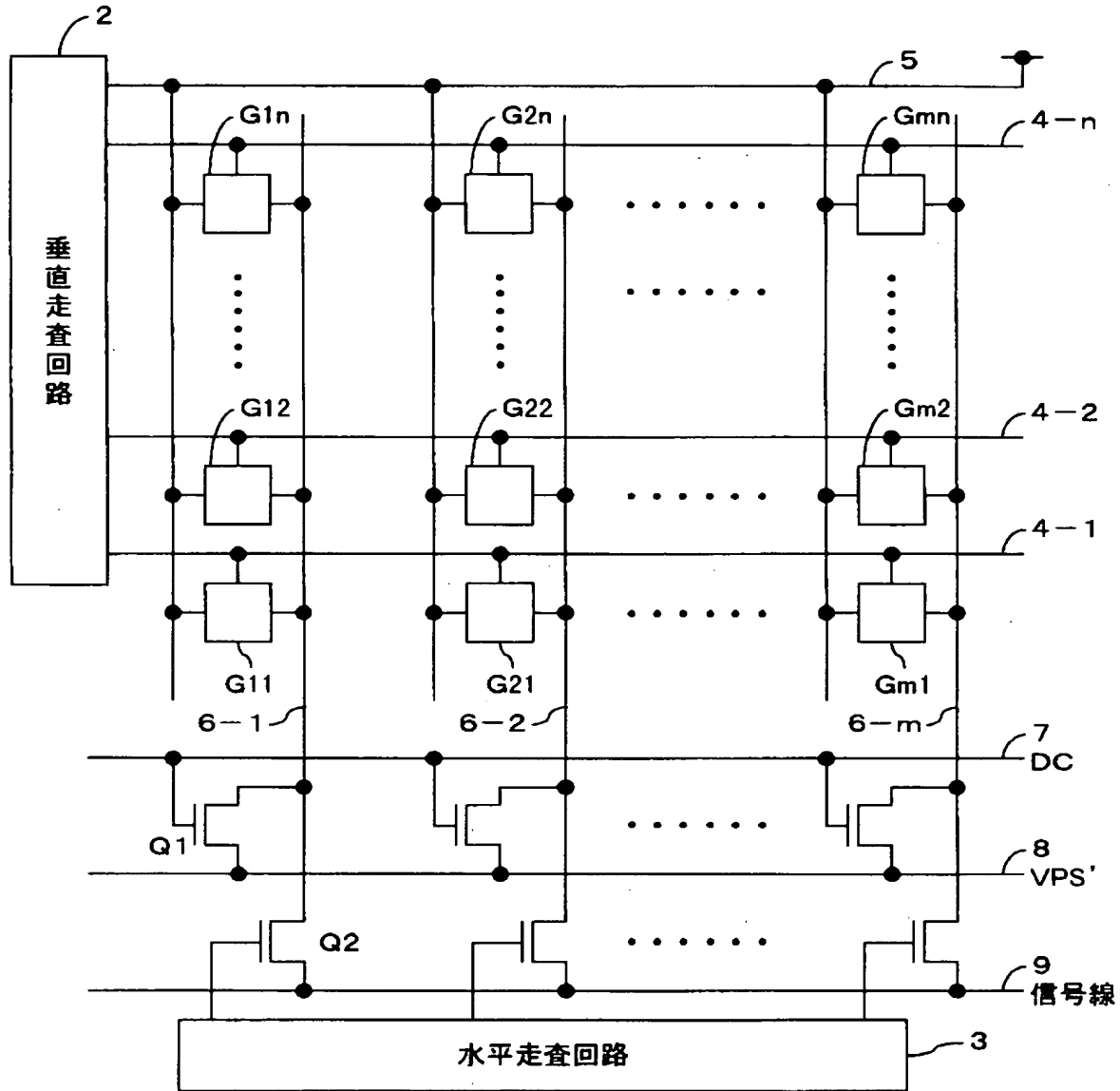
【図 3】



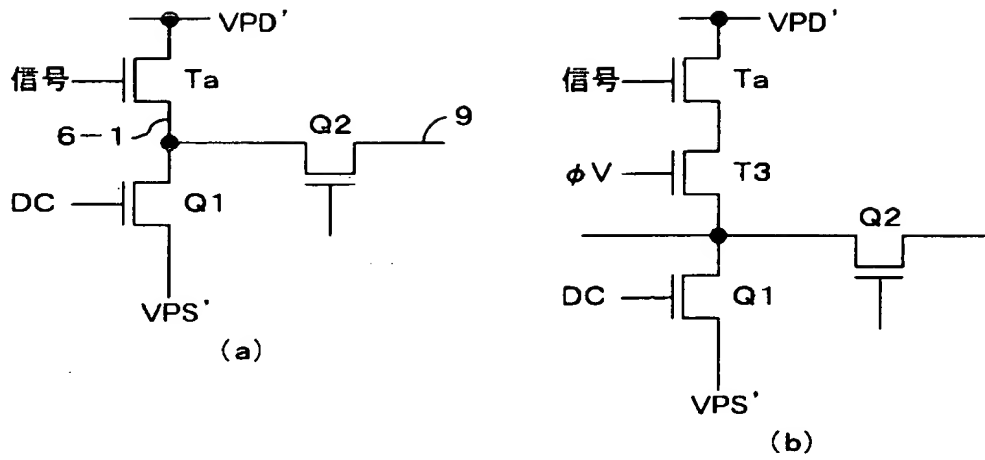
【図 4】



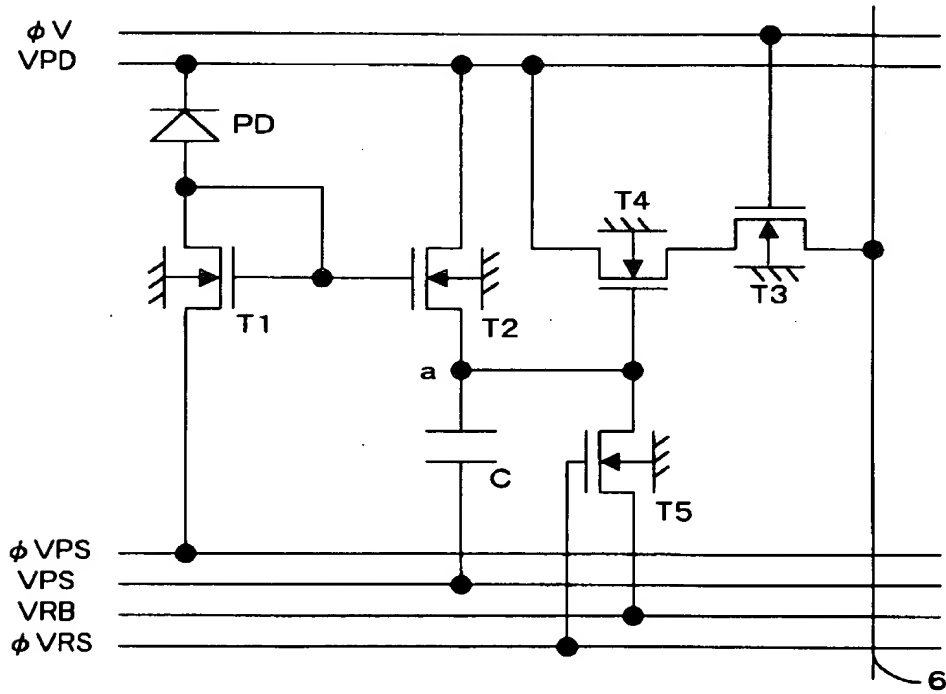
【図 5】



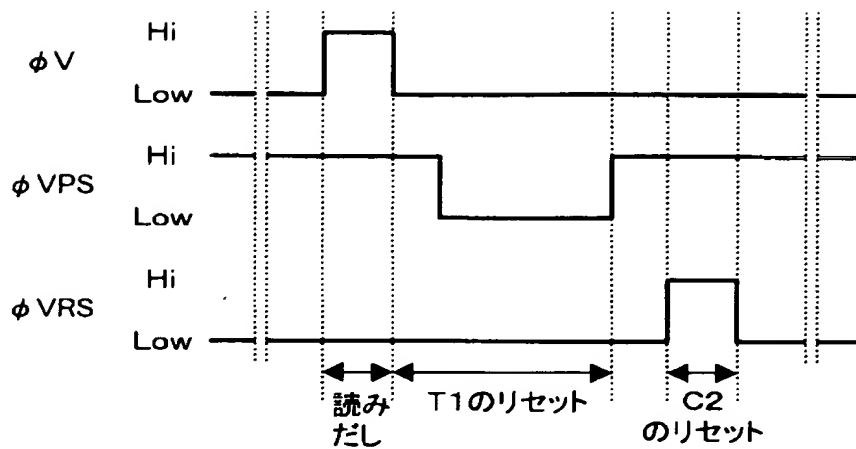
【図 6】



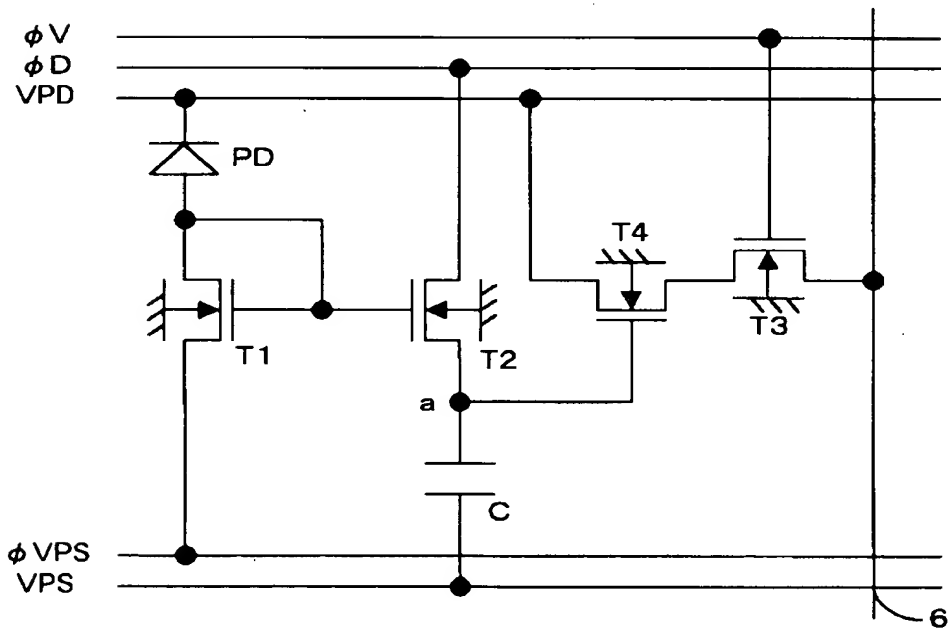
【図 7】



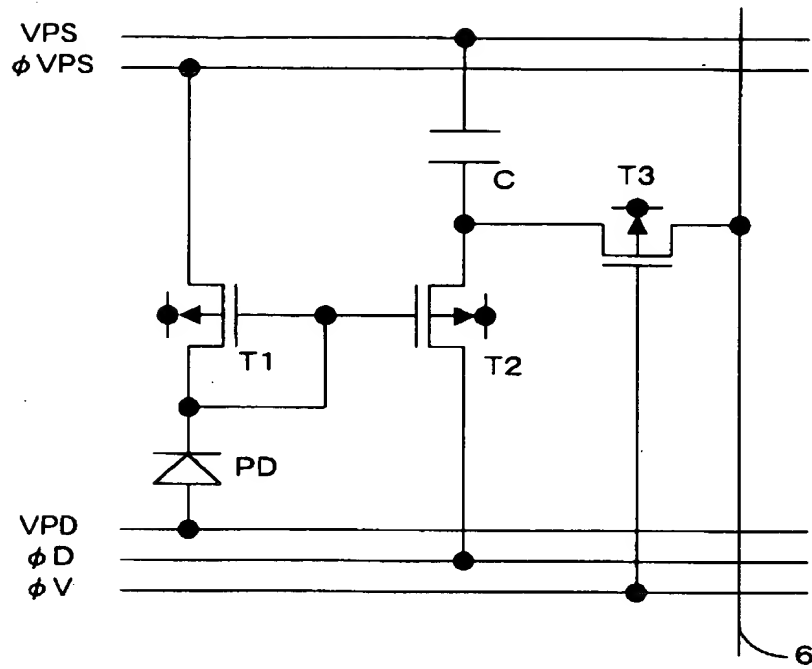
【図 8】



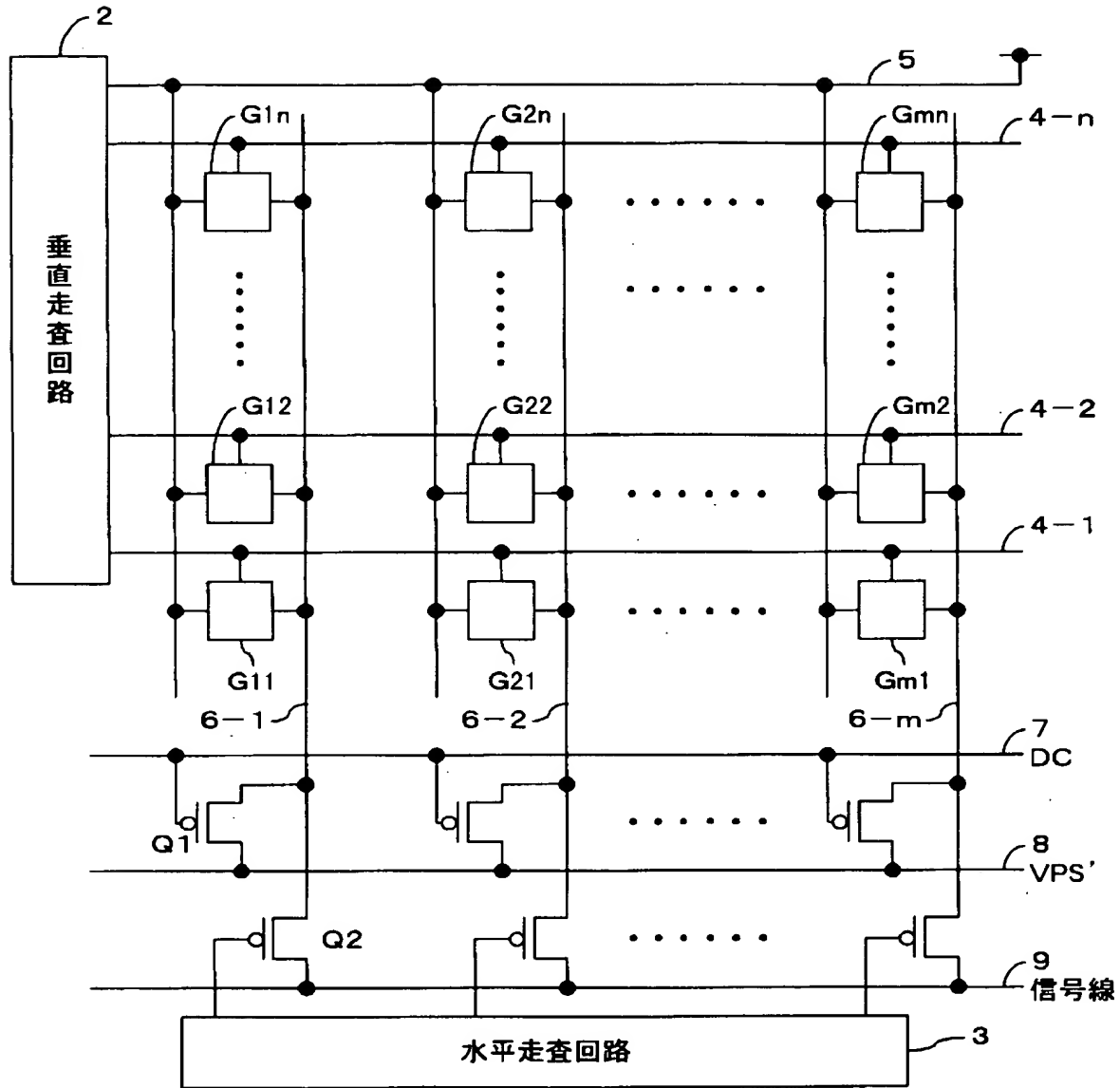
【図 9】



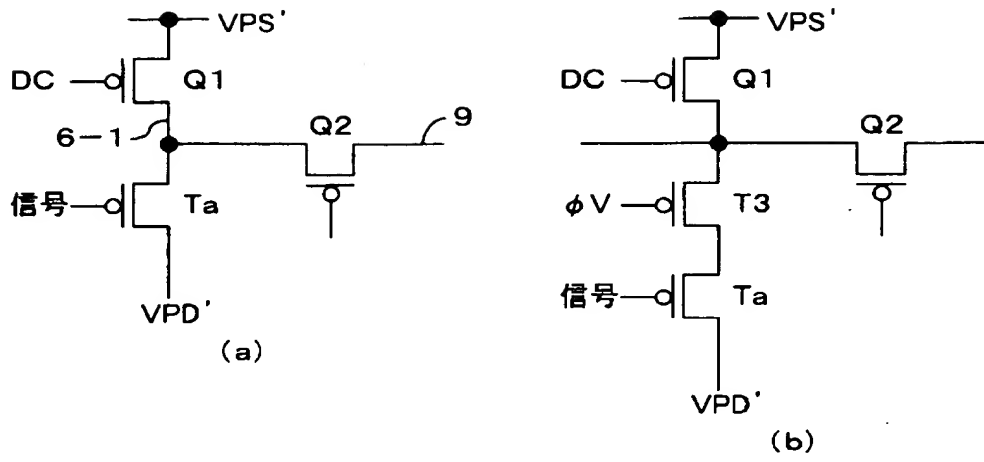
【図 1 2】



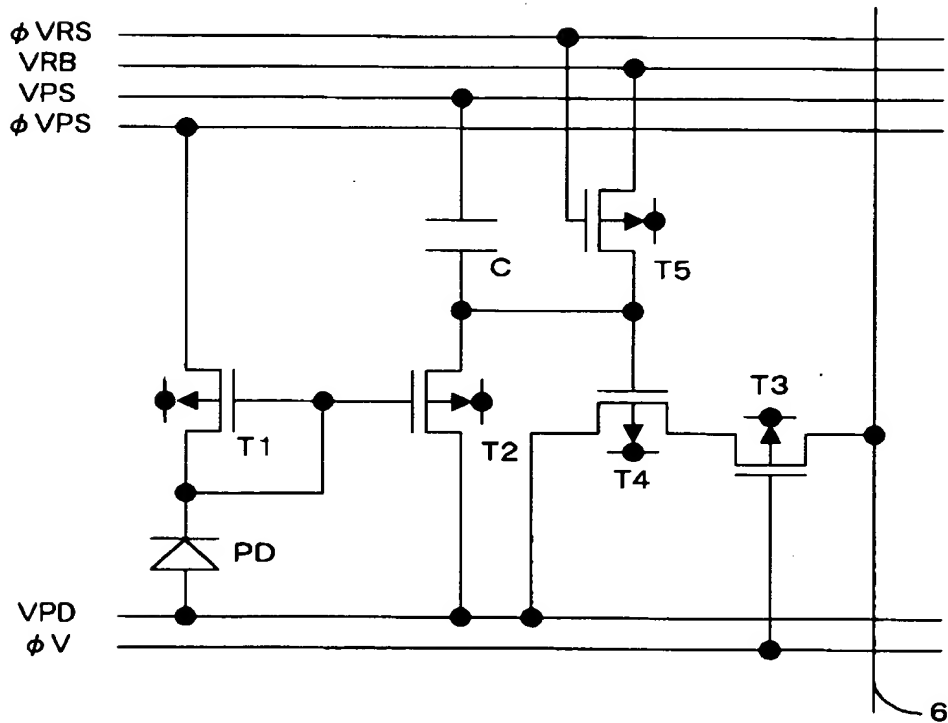
【図 1 3】



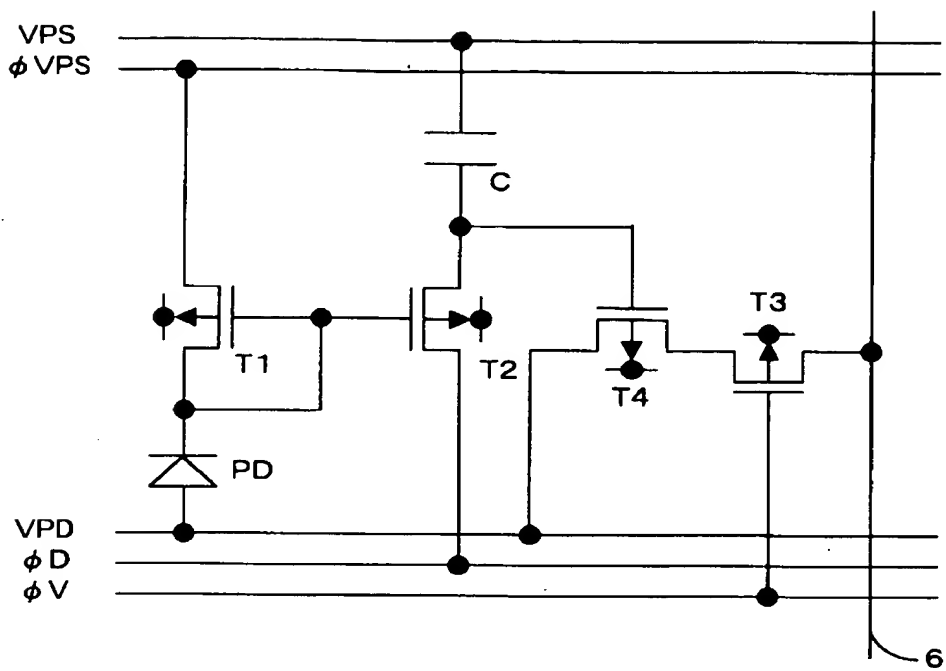
【図 1 4】



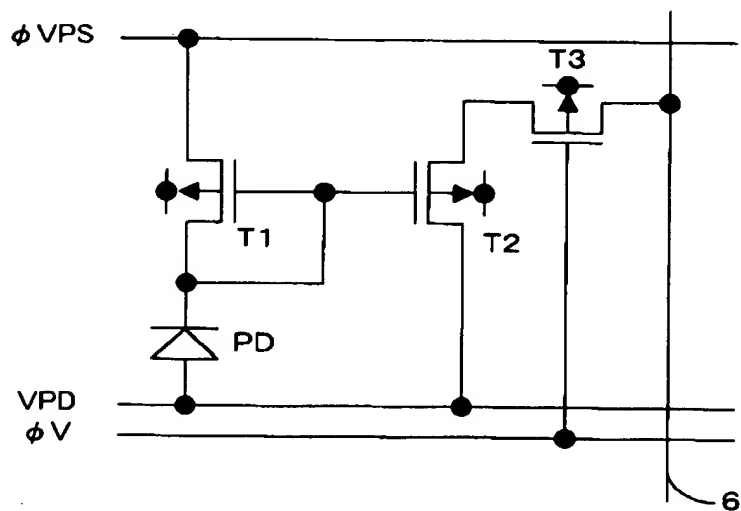
【図 1 5】



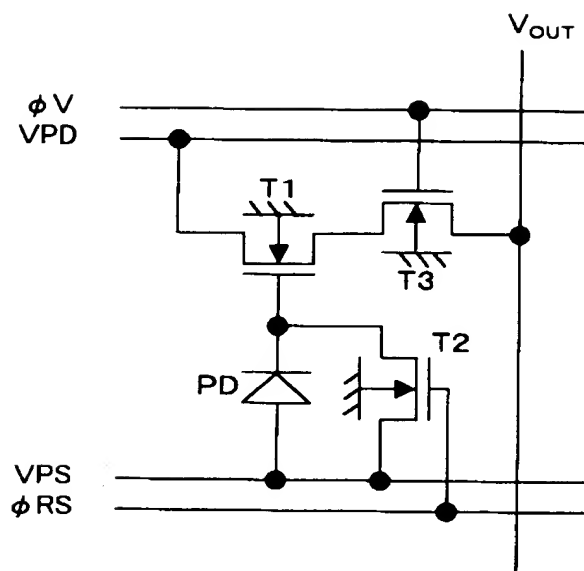
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素の撮像動作が終了した後、第1 MOS トランジスタ T 1 のソースに与える信号 ϕ VPS をローレベルにして、MOS トランジスタ T 1 に負の電荷が流入しやすい状態にすることによって、MOS トランジスタ T 1 のドレイン、ゲート、MOS トランジスタ T 2 のゲート、及びフォトダイオードのアノードに蓄積された正の電荷を再結合して速やかにリセットを行う。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル

氏 名 ミノルタ株式会社